

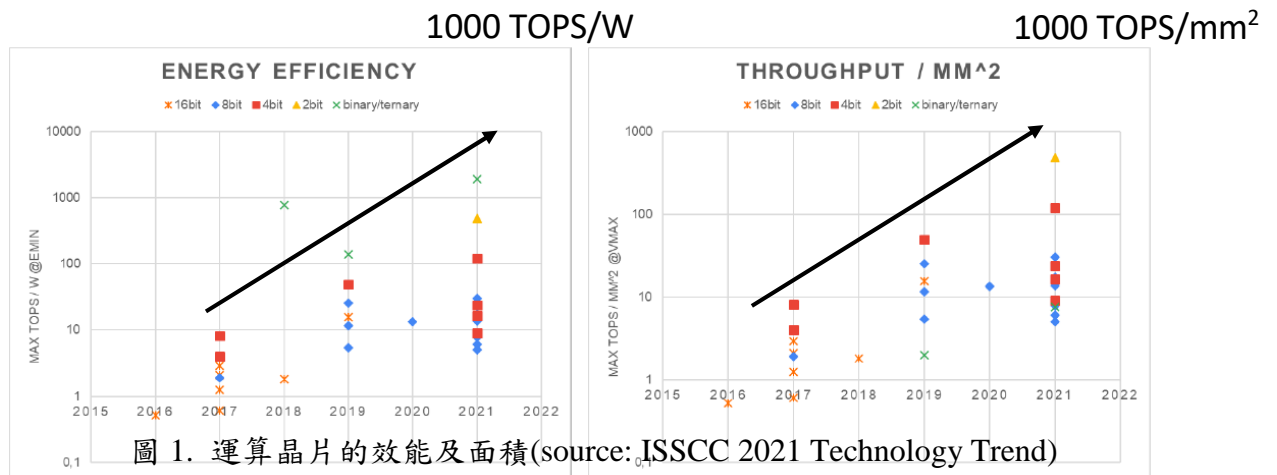
科技部

111 年度「關鍵新興晶片設計研發計畫」說明附件一

分項一：下世代運算晶片

壹、計畫背景及目的

人工智慧的發展是希望能夠模擬人腦的運算模式，來達到傳統電腦所不能運算的能力，但幾十年來發展的成果，雖有非常前瞻的半導體製程的支援，不過目前在最新的人工智慧發展，能達成的效能仍然差人腦千萬倍。根據最新 ISSCC 2021 的統計發展趨勢，如圖 1 所示，人工智慧運算晶片的效能及面積效率以每兩年 10 倍的速度進展，預估到 2026 年將有百倍技術 (對於 binary 格式，達成 100K TOPs/W 及 100K TOPs/mm² in 2026，對於 8-b 格式，達成 1K TOPs/W 及 1K TOPs/mm² in 2026) 的成長。本分項目標在下世代的運算技術，需要突破現有架構，研發出新型的運算架構達成與人腦運算效能相仿甚至超越人腦運算效能的人工智慧晶片。



貳、研究議題範疇

隨著神經網絡成功地在各種任務上實現更高的準確性，這些模型的大小和計算複雜度也在不斷提高。在數據中心，移動裝置和 IoT 工作負載中，這導致對推理(inference)和訓練(training)的更高能效和更高吞吐量的神經網絡計算持續需求，發展重點如下，包含但不限於下列領域：

- (1). 高效能運算之電路與系統關鍵技術
 - (a). 高效能運算及低耗能之元件與電路
 - (b). 次臨界電壓 (subthreshold)極低功耗類比及數位運算電路
 - (c). 異質晶片整合(Heterogeneous integration)
 - (d). 下世代記憶體之元件及電路與系統架構
- (2). 高效能運算的晶片實現：
 - (a). 神經網路(Neural Network)晶片
 - (b). 仿神經運算(Neuromorphic Computing)晶片
 - (c). 近感測器及感測器內運算(Near-sensor/In sensor Computing)晶片
 - (d). 創新的演算法及非傳統晶片運算結構(Beyond Von Neumann/非馮紐曼)
- (3). 新型態運算系統
 - (a). 神經網路(Neural Network)之精準度及運算量系統最佳化
 - (b). 大陣列記憶體內運算(Computing -in-Memory)之核心電路及完整系統晶片
 - (c). 人腦介面電路發展及人腦運作模型建立
- (4). 硬體安全性系統
 - (a). 物理不可仿製功能(PUF)
 - (b). 射頻、類比及數位資安電路
 - (c). 旁通道攻擊的電路 (Side channel attack circuits)。

參、計畫重點

因為智慧晶片所帶來無限想像的可能性，本分項的研發目標不僅是開發人工智慧所應用的深度神經網路、加強式學習等演算法，同時實現具備下世代運算技術的人工智慧晶片，更重要的是硬體端能發揮最大的效能及算力，嵌入並應用於生活上的各個層面。雖然本分項的研發重點在於運算晶片的算力能效及單位面積的運算能力，但考量智慧晶片在不同應用中對於規格的需求也會不一樣，計畫亦可從系統面切入，定義出具國際級的晶片規格。

分項二：前瞻通訊晶片

壹、計畫背景及目的

為使晶片有更高的資料速度、更低延遲，未來 6G 將朝「億」級物聯網系統的情境發展，混合實境、工業自動化、自駕車、遠端醫療等應用，皆需要一個幾乎無死角的全覆蓋網路，終端和基礎建設都將保持隨時啟用、隨時保持連線(always-on, always-connected)的狀態。

前瞻通訊之一將為 6G，而 6G 將以 5G 通訊為基礎，提升高頻段的傳輸能力，達成高速傳輸，從 2020 的 IEEE Globecom 會議中，對 6G 通訊可由圖 2 中三星的 6G 白皮書揭露，描述了其對未來通訊技術的想像，而所要達成的通訊指標有(1)峰值數據速率、(2)使用者有效數據速率、(3)頻譜效率、(4)能耗、(5)延遲、(6)聯結密度、(7)可靠度。

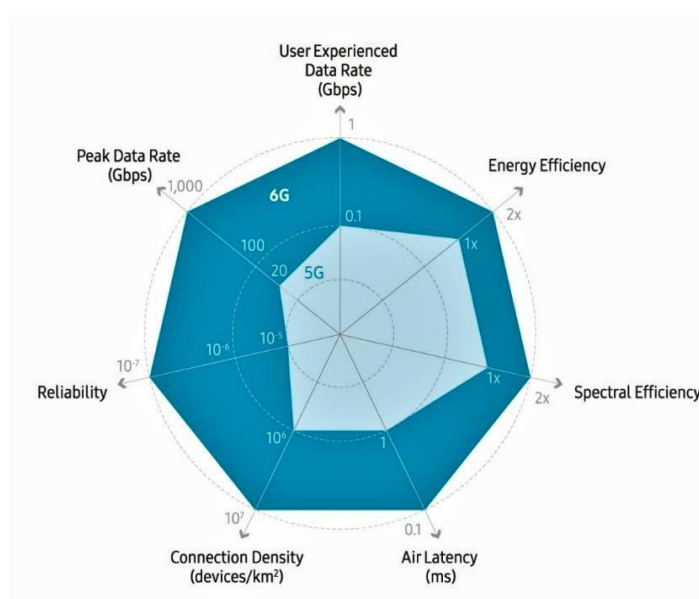


圖 2、6G vs. 5G 技術突破藍圖 (來源: 三星的 6G 白皮書, Samsung)

貳、研究議題範疇

要達成超越 5G 達到下世代通訊，前瞻通訊晶片發展重點如下，包含但不限於下列領域：

- (1). 太赫茲電路之電路與系統關鍵技術

- (a). > 100 GHz 之射頻元件與電路
 - (b). 太赫茲電路及天線共同設計 (co-design)
 - (c). 巨大陣列前端電路(Heterogeneous integration)
- (2). 高效能軟體無線電的晶片技術：
- (a). 射頻類比數位/數位類比轉換電路 (RFADC/RFDAC)
 - (b). 寬頻類比基頻電路 (Wideband analog baseband)
 - (c). 具創新演算法的高效能數位基頻晶片
 - (d). 連結通訊晶片之串列電路(SERDES)及光通訊技術(OEIC)
 - (e). 具智能通訊晶片 (AI-driven communication circuits)
- (3). 適用於小晶片(Chiplets)封裝及連結技術：
- (a). 小晶片之系統最佳化 (Chiplet-driven system optimization)
 - (b). 小晶片類比/數位介面連結技術
 - (c). 小晶片異質整合封裝技術 (Chiplet heterogeneous package)

參、計畫重點

下世代的前瞻通訊晶片複雜度極高，計畫的重點在於晶片的技術提升為主，因此，需從系統的需求，提出挑戰的電路規格，使得晶片有更高的資料速度、更低延遲，其中，晶片技術仍然是關鍵，但透過封裝及異質高度整合這些先進技術，探索全新的解決方案，實現下世代通訊晶片系統。

分項三：電子設計自動化

壹、計畫背景及目的

今日的晶片已達到百億電晶體的等級，隨著晶片更具智慧化及具有更高的通訊能力，晶片的設計需要有更先進的輔助軟體，主要的發展重點包含驗證，邏輯合成，自動佈線及驗證。另外在前瞻製程中，隨著系統晶片之複雜度增加、3D IC 設計之到來、多種新興記憶體之整合等挑戰，目前在晶片異質整合(Heterogeneous Integration)之困難度急遽增加，臺灣在 IC 設計自動化之布局已相當完整，然而面臨異質整合的挑戰，因此，發展電子設計自動化軟體與晶片設計作緊密結合為必要的。

貳、研究議題範疇

要加速發展在下世代運算及前瞻通訊的應用興起為 IC 設計產業帶來的新成長動能，發展電子設計環境自動化重點如下，包含但不限於下列領域：

- (1). 針對 EDA 領域的部分，將搭配 TSRI 提供的軟體環境：
 - (a). 先進類比電路 IP 合成，整合驗證：包含類比積體電路設計自動化、類比電路佈局自動合成等
 - (b). 以 AI/CIM/ML 等加速器進行系統與晶片設計最佳化及人工智慧晶片設計優化
- (2). 多/異質晶片整合(Multi/Heterogeneous Integration)：
 - (a). 適用於 3D IC 封裝技術之自動軟體
 - (b). 小晶片整合自動化
- (3). 新興科技之 EDA：
 - (a). 前瞻的製程電腦輔助軟體(TCAD)
 - (b). 光電介面電路輔助軟體

參、計畫重點

前瞻的電子設計自動化的軟體必須與晶片的技術相輔相成，計畫的重點除了持續

研發更強大的設計軟體之外，其發展出的部份軟體必須搭配電路設計的子計畫，解決與分項一及二相關的晶片設計挑戰。